

#5 5/30/02
Mellish

ATTORNEY DOCKET NO.: 5649-925

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kang-yoon Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT DEVICES HAVING ACTIVE REGIONS WITH
EXPANDED EFFECTIVE WIDTHS AND METHODS OF MANUFACTURING
SAME

jc979 U.S. PTO
10/057745
10/26/01

October 26, 2001

Box Patent Application
Commissioner for Patents
Washington, DC 20231

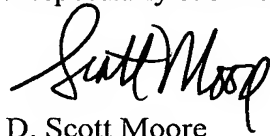
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2000-63711, filed October 28, 2000.

Respectfully submitted,



D. Scott Moore
Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL 920739775 US

Date of Deposit: October 26, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post
Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: BOX PATENT
APPLICATION, Commissioner for Patents, Washington, DC 20231.



Audra Wooten

Date: October 26, 2001

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

10979 U.S. PTO
10/057745
10/26/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 :
Application Number

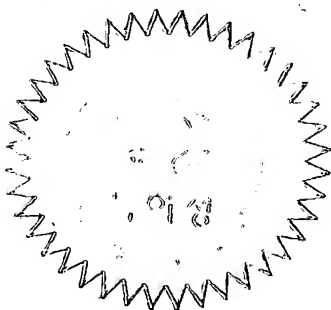
특허출원 2000년 제 63711 호

출원년월일 :
Date of Application

2000년 10월 28일

출원인 :
Applicant(s)

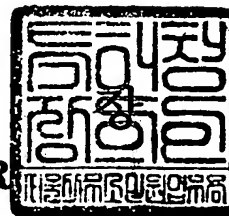
삼성전자 주식회사



2001 01 05
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.10.28
【국제특허분류】	H01L
【발명의 명칭】	확장된 활성 영역의 유효폭을 가지는 반도체 장치 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having expanded effective width of active and manufacturing method the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이강윤
【성명의 영문표기】	LEE,Kang Yoon
【주민등록번호】	610619-1011918
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 192 정든마을 신화아파트 507동 1801호
【국적】	KR

【발명자】**【성명의 국문표기】**

박종우

【성명의 영문표기】

PARK, Jong Woo

【주민등록번호】

520710-1063616

【우편번호】

135-100

【주소】

서울특별시 강남구 청담동 진도빌라 A동 402호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

2 면 2,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

15 항 589,000 원

【합계】

620,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

확장된 활성 영역의 유효폭을 가지는 반도체 장치 및 그 제조 방법을 개시한다. 본 발명의 일 관점은 반도체 기판을 선택적으로 식각하여 형성된 트렌치와, 트렌치를 일부 매워 트렌치의 상측 측벽 부분을 노출하는 소자 분리막과, 노출되는 트렌치의 상측 측벽 부분 및 트렌치에 인접하는 반도체 기판의 상측 표면 상에 형성된 게이트 절연막, 및 게이트 절연막 상에 형성된 게이트 전극을 포함하는 반도체 장치를 제공한다.

본 발명에 따르면, 반도체 기판의 상측 표면뿐만 아니라 트렌치의 상측 측벽 부분을 채널로 이용할 수 있어 활성 영역의 유효폭을 증대시킬 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

확장된 활성 영역의 유효폭을 가지는 반도체 장치 및 그 제조 방법{Semiconductor device having expanded effective width of active and manufacturing method the same}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 제1실시예에 의한 반도체 장치 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 7 및 도 8은 본 발명의 제2실시예에 의한 반도체 장치 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<도면의 주요 부호에 대한 간략한 설명>

100: 반도체 기판, 105: 반도체 기판의 상측 표면,

200: 트렌치, 205: 트렌치의 상측 측벽,

700: 게이트 절연막, 800: 게이트 전극.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 확장된 활성 영역 유효폭(expanded effective width of an active)을 구현하는 반도체 장치 및 그 제조 방법에 관한 것이다.

- <8> 현재, 반도체 칩의 크기가 축소되고 집적도가 높아지고 있다. 반도체 장치, 예컨대, DRAM 장치의 경우 미세화가 진행됨에 따라, 셀 트랜지스터(cell Tr)의 전류 구동력을 확보하는 문제가 대두되고 있다.
- <9> DRAM 장치는 리프레쉬(refresh) 특성 상 셀 트랜지스터의 문턱 전압은 미세화에 무관하게 대략 1V 정도로 유지되고 있다. 그런데, 반도체 장치의 미세화에 의해서 셀 트랜지스터의 게이트 길이(또는 폭)와 활성 영역(active)의 폭이 같이 줄어들에 따라, 셀 트랜지스터의 문턱 전압을 상기한 1V로 유지하려면 필연적으로 높은 채널(channel) 농도가 필요하다. 이러한 채널 농도의 증가는 접합(junction)의 전장(electric field)을 크게 하고 또한 결함 농도(defect density)를 증가시켜 리프레쉬 특성을 나쁘게 한다.
- <10> 또한, 반도체 장치의 미세화는 얇은 접합(shallow junction)을 필요로 하는 데, 이는 드레인 또는 소오스의 불순물 농도를 낮추게 된다. 낮은 드레인/소오스 농도와 높은 채널 농도는 기생 저항의 급격한 증가를 유도하며 이는 셀 트랜지스터의 전류 구동력(또는 셀 트랜지스터의 전류)을 급격히 떨어뜨리게 된다.
- <11> 한편, 반도체 칩의 크기가 축소되고 집적도가 높아지면서 소자 분리로 STI(Shallow Trench Isolation)을 이용하고 있다. STI는 패턴의 집적도면에서 유리하고 또한 소자 분리 특성이 우수하다는 장점이 있다. 그러나, 이러한 STI를 채용할 경우에도 활성 영역의 폭이 작은 트랜지스터의 경우, 트랜지스터의 문턱 전압이 저하되는 등의 문제가 발생된다고 알려져 있다.

【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명이 이루고자 하는 기술적 과제는, 활성 영역의 유효폭을 확장시켜 채널의

폭이 증대된 효과를 구현할 수 있어 활성 영역의 폭이 작은 트랜지스터의 전류 구동력을 개선할 수 있는 반도체 장치를 제공하는 데 있다.

<13> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기한 반도체 장치를 제조하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<14> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 반도체 기판과, 상기 반도체 기판을 선택적으로 식각하여 형성된 트렌치와, 상기 트렌치를 일부 메워 상기 트렌치의 상측 측벽 부분을 노출하는 소자 분리막과, 상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 상에 형성된 게이트 절연막, 및 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하는 반도체 장치를 제공한다.

<15> 이때, 상기 소자 분리막은 상기 반도체 기판의 상측 표면에 비해 낮은 표면 높이를 가질 수 있다. 상기 노출되는 트렌치의 상측 측벽 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 아래 내측에 형성되는 문턱 전압 조절용 불순물층을 더 포함할 수 있다. 상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 트렌치의 상측 측벽을 덮고 상기 소자 분리막 상으로 연장될 수 있다.

<16> 상기의 기술적 과제를 달성하기 위한 본 발명의 다른 관점은, 반도체 기판을 선택적으로 식각하여 트렌치를 형성한다. 상기 트렌치를 일부 메워 상기 트렌치의 상측 측벽 부분을 노출하는 소자 분리막을 형성한다. 상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 상에 게이트 절연막을 형성한다.

상기 게이트 절연막 상에 게이트 전극을 형성한다.

<17> 이때, 상기 소자 분리막은 상기 트렌치를 메우는 매몰막을 형성하고, 상기 트렌치의 상측 측벽을 노출하도록 상기 매몰막의 일부 두께를 식각하여 제거하여 형성될 수 있다.

<18> 상기 게이트 절연막을 형성하는 단계 이전에 상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 내측에 문턱 전압 조절용 불순물층을 형성할 수 있다. 상기 불순물층은 경사 이온 주입 방법으로 불순물은 주입하여 형성될 수 있다.

<19> 본 발명에 따르면, 활성 영역의 유효폭을 확장시켜 채널의 폭이 증대된 효과를 구현할 수 있어 활성 영역의 폭이 작은 트랜지스터의 전류 구동력을 개선할 수 있다.

<20> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<21> 도 1 내지 6은 본 발명의 제1실시예에 의한 확장된 활성 영역의 유효폭을 가지는

반도체 장치 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<22> 도 1은 반도체 기판(100) 상에 트렌치(200)를 형성하는 단계를 개략적으로 나타낸다.

<23> 구체적으로, 실리콘 기판 등과 같은 반도체 기판(100) 상에 패드 산화막(310)을 형성한다. 패드 산화막(310)은 대략 100Å 정도의 두께로 형성될 수 있으며, 알려진 반도체 공정의 열산화법으로 형성될 수 있다.

<24> 패드 산화막(310)을 형성한 이후에, 반도체 기판(100) 상의 일정 영역을 가리는 마스크(400)를 형성한다. 이러한 마스크(400)는 패드 산화막(310) 상에 실리콘 질화막을 형성하고 사진 식각 공정 등으로 패터닝하여 형성될 수 있다.

<25> 이러한 마스크(400)를 마스크로 하여 마스크(400)에 의해서 노출되는 반도체 기판(100) 상을 식각한다. 이러한 식각은 알려진 STI 공정을 따라 이루어질 수 있으며, 이에 따라, 반도체 기판(100)에는 트렌치(200)가 형성된다. 이때, 트렌치(200)는 반도체 장치에 따라 요구되는 깊이가 달리 설정되나, 대략 2500Å 정도의 깊이로 형성될 수 있다.

<26> 도 2는 트렌치(200)를 메우는 매몰막(filling layer:500)을 형성하는 단계를 개략적으로 나타낸다.

<27> 구체적으로, 트렌치(200)를 메우는 매몰막(500)을 절연 물질, 예컨대, 실리콘 산화물로 형성한다. 이때, 이러한 매몰막(500)은 알려진 STI 공정을 따라 형성된다. 매몰막(500)을 형성한 후, 이러한 매몰막(500)을 이루는 실리콘 산화물 등을 치밀화(densification)하는 열공정을 수행할 수 있다.

<28> 이러한 매몰막(500)을 증착한 후, 화학 기계적 연마(CMP:Chemical Mechanical

Polishing)하여 마스크(400)의 상측 표면이 노출되도록 매몰막(500)을 평탄화한다. 이러한 매몰막(500)은 상기한 CMP 이후에 실질적으로 상기 마스크(400)의 상측 표면(401)과 대등한 표면 높이를 가질 수 있다.

<29> 매몰막(500)의 두께를 줄여 후속 공정에 도움을 주기 위해서, CMP 후에 등방성 식각 또는 이방성 식각을 이용하여 매몰막(500)을 일정 두께 정도 식각하여 제거한다. 예를 들어, CMP 후에 매몰막(500)을 대략 1500Å 정도 더 식각하여 제거한다. 이에 따라, 매몰막(500)은 마스크(400)의 상측 표면 보다 낮은 상측 표면 높이를 가지게 패터닝된다. 상기한 등방성 식각으로는 알려진 산화물 에천트(oxide etchant)를 이용하는 습식 식각을 이용할 수 있고, 이방성 식각으로는 알려진 실리콘 산화물에 대한 건식 식각 방법을 이용할 수 있다.

<30> 한편, 매몰막(500)을 형성하기 이전에 상기한 트렌치(200)와 매몰막(500)의 계면에 버퍼층(buffer layer:200)을 더 형성할 수 있다. 이러한 버퍼층(200)은 매몰막(500)의 실리콘 산화물과 트렌치(200)의 측벽 등을 이루는 반도체 기판(100)의 실리콘 간에 발생할 수 있는 응력 등을 완화하기 위해서 도입된다. 이러한 버퍼층(200)은 실리콘 산화막의 형태로 도입될 수 있으며, 이러한 실리콘 산화막은 산소 소오스(source)를 이용한 열산화막으로 이루어질 수 있다.

<31> 도 3은 마스크(500)를 제거하는 단계를 개략적으로 나타낸다.

<32> 구체적으로, 상기한 바와 같이 매몰막(500)을 패터닝한 후, 마스크(500)를 알려진 실리콘 질화막의 스트립(strip) 공정, 에천대, 등방성의 습식 식각 공정 등으로 제거한다. 이와 같은 마스크(500)의 제거에 의해서, 매몰막(500)은 실질적으로 반도체 기판(100)의 상측 표면과 대등한 표면 높이를 가질 수 있다.

- <33> 도 4는 매몰막(500)을 식각하여 트렌치(200)의 상측 측벽(205)을 노출하는 소자 분리막(500')을 형성하는 단계를 개략적으로 나타낸다.
- <34> 구체적으로, 매몰막(500)을 식각하여 소자 분리막(500')을 형성한다. 이러한 식각은 산화물 에천트를 이용하는 습식 식각 등과 같은 등방성 식각으로 이루어질 수 있다. 또는 반도체 기판(100)을 이루는 실리콘과 매몰막(500)을 이루는 실리콘 산화물에 대해서 선택비를 가지는 건식 식각 공정을 이용하여 상기한 식각은 수행될 수 있다.
- <35> 상술한 바와 같은 식각은 매몰막(500)을 대략 500Å 정도 더 식각되도록 수행될 수 있다. 매몰막(500)은 도 3에서 설명한 바와 같이 실질적으로 반도체 기판(100)의 표면과 대등한 표면 높이를 가지고 있으므로, 소자 분리막(500')은 실질적으로 반도체 기판(100)의 상측 표면(105)보다 대략 500Å 정도 낮은 표면 높이로 형성될 수 있다.
- <36> 이와 같이 소자 분리막(500')은 매몰막(500)이 리세스(recess)되어 형성되므로, 소자 분리막(500')은 트렌치(200)의 상측 측벽(205)을 노출하도록 형성된다. 이때, 트렌치(200)의 상측 측벽(205)이 노출되는 범위는 소자 분리막(500')의 표면 높이에 의존하여 변화할 수 있다. 따라서, 매몰막(500)을 식각하는 정도에 따라 트렌치(200)의 상측 측벽(205)이 노출되는 범위가 설정될 수 있다.
- <37> 본 발명의 실시예에서는 상기한 트렌치(200)의 상측 측벽(205)의 범위가, 트렌치(200)에 인접하는 트렌치 식각되지 않은 반도체 기판(100)의 상측 표면(105)의 폭에 대해서 적어도 대략 15% 이상이 될 수 있다. 바람직하게는 트렌치(200)의 상측 측벽(205)의 범위는, 반도체 기판(100)의 상측 표면(105)의 폭에 대해서 30% 내지 60% 정도 이상일 수 있다. 한편, 소자 분리막(500')이 소자 분리의 기능을 할 수 있는 최소한의 두께로 형성될 때, 상기한 트렌치(200)의 노출되는 상측 측벽(205)의 범위는 최대한 커지게

된다. 즉, 트렌치(200)의 노출되는 상측 측벽(205)의 최대 범위는 소자 분리 특성에 의해 제한되는 범위까지 커질 수 있다.

<38> 한편, 상술한 바와 같이 매몰막(500)이 식각되어 소자 분리막(500')이 형성되는 식각 공정은, 버퍼층(510)의 노출되는 부분을 함께 식각하여 제거할 수 있다.

<39> 도 5는 희생 산화막(350) 및 문턱 전압 조절용 불순물층(600)을 형성하는 단계를 개략적으로 나타낸다.

<40> 구체적으로, 소자 분리막(500')을 상기한 바와 같이 형성한 후, 노출되는 반도체 기판(100)의 상측 표면(105) 및 트렌치(200)의 상측 측벽(205) 상에 희생 산화막(350) 또는 이온 주입용 패드 산화막을 형성한다. 이러한 희생 산화막(350)을 형성하기 이전에 반도체 기판(100) 상을 세정하는 단계를 더 수행할 수 있다.

<41> 희생 산화막(350)을 형성한 후, 소자 분리막(500')에 의해서 노출되는 반도체 기판(100)에 이온 주입 공정을 수행하여 문턱 전압 조절용 불순물층(600)을 형성한다. 이러한 문턱 전압 조절용 불순물층(600)을 형성하기 이전에 트랜지스터 소자 등을 위해서 웰(well) 이온 주입 또는 필드(field) 이온 주입을 수행할 수 있다. 이러한 웰 이온 주입 또는 필드 이온 주입은 알려진 반도체 공정의 트랜지스터 형성 공정으로 수행될 수 있다.

<42> 한편, 통상의 DRAM 공정에서 NMOS를 채용할 경우, 상기한 문턱 전압 조절용 불순물층(600)은 보론(boron) 등과 같은 P형 불순물의 도핑(doping)에 의해서 형성될 수 있다. 이와 같은 문턱 전압 조절용 불순물층(600)은, 소자 분리막(500')에 의해서 노출되는 반도체 기판(100)의 상측 표면(105) 아래 내측에 형성될 뿐만 아니라, 트렌치(200)의 상측

측벽(205)의 표면 아래 내측에 연장되어 형성된다.

<43> 이와 같은 문턱 전압 조절용 불순물층(600)은 상기한 바와 같이 보론 등의 불순물이 도핑되어 형성되므로, 상기한 도핑된 보론 등은 후속에서 수행되는 열 공정에 의해서 반도체 기판(100) 상에 후속에서 도입되는 절연막(도시되지 않음) 등으로 석출(segregation)될 수 있다. 이러한 보론의 석출 등에 의해서 트렌치(200)의 측벽 부위에서의 문턱 전압 조절용 불순물층(600) 부분의 보론 농도가 감소될 수 있다.

<44> 이를 방지하기 위해서, 상기한 바와 같은 문턱 전압 조절용 불순물층(600)을 형성하는 이온 주입 공정은 경사 이온 주입으로 수행되는 것이 바람직하다. 이때, 경사 이온 주입의 경사 각도는 다양한 각도로 설정될 수 있으며, 대칭(symmetric) 방식 또는 회전 주입 방식 등을 이용할 수도 있다. 이와 같이 경사 이온 주입에 의해서, 경사 이온 주입을 도입하지 않은 경우에 비해 실질적으로 트렌치(200)의 상측 측벽(205) 부위에 보론 농도를 증가시킬 수 있다.

<45> 이와 같이 경사 이온 주입 방식을 이용하여 형성되는 문턱 전압 조절용 불순물층(600)은, 실질적으로 반도체 기판(100)의 상측 표면(105) 아래 내측에 일정한 깊이로 형성되고, 이러한 불순물층(600)이 트렌치(200)의 노출되는 상측 측벽(205) 표면 아래 내측에 일정한 깊이로 연장되는 형태로 형성된다.

<46> 도 6은 반도체 기판(100) 상에 게이트 절연막(700) 및 게이트 전극(800)을 형성하는 단계를 개략적으로 나타낸다.

<47> 구체적으로, 희생 산화막(350) 또는 이온 주입용 패드 산화막을 습식 식각 등의 등방성 식각으로 제거한 후 게이트 절연막(700)을 알려진 게이트 산화막 등으로 형성한다.

이러한 게이트 절연막(700)은 대략 50Å 정도의 두께로 형성될 수 있다. 게이트 절연막(700)은 소자 분리막(500')에 의해서 노출되는 반도체 기판(100)의 표면에 성장되므로, 반도체 기판(100)의 상측 표면(105) 뿐만 아니라 노출되는 트렌치(200)의 상측 측벽(205)의 표면에 성장된다.

<48> 이후에, 게이트 절연막(700) 상에 도전물을 증착하여 트랜지스터의 게이트 전극(800)을 형성한다. 이러한 게이트 전극(800)은 도 6에 묘사된 바와 같이 반도체 기판(100)의 상측 표면(105) 상에서뿐만 아니라 트렌치(200)의 상측 측벽(205) 상에서도 게이트 절연막(700)을 개재하여 형성된다.

<49> 따라서, 게이트 전극(800) 아래에서 트랜지스터의 채널로 작용할 수 있는 활성 영역의 유효폭이 실질적으로 증대될 수 있으며, 따라서, 활성 영역의 유효 면적의 증대를 구현할 수 있다. 즉, 활성 영역의 유효폭이 반도체 기판(100)의 상측 표면(105)을 포함하여 트렌치(200)의 상측 측벽(105)에까지 연장될 수 있다.

<50> 게이트 전극(800)을 형성한 후에, 알려진 트랜지스터 공정을 이용하여 드레인 및 소오스 영역(drain/ source region)을 구비하여 트랜지스터 소자를 형성할 수 있다. 이와 같이 형성되는 트랜지스터는 상기한 바와 같이 활성 영역의 유효폭이 증가되어 있어, 결국, 트랜지스터의 폭(실질적으로 채널의 폭)이 증대된 효과를 나타낼 수 있다.

<51> 셀 트랜지스터의 전류 구동력은 통상적으로 실질적으로 채널의 길이에 반비례하고 게이트 전극(800)의 폭(실질적으로 채널의 폭)에 비례한다고 알려져 있으므로, 증대된 트랜지스터의 폭만큼 전류 구동력의 증대를 구현할 수 있다. 즉, 디자인 룰의 감소에도 불구하고, 활성 영역의 유효폭 또는 유효 면적을 확보할 수 있어 셀 트랜지스터의 전류 구동력을 확보할 수 있다.

- <52> 예를 들어, 사진 공정 등으로 정의된 반도체 기판(100)의 상측 표면(105)이 1000Å의 폭을 가진다고 하고, 소자 분리막(500')의 리세스된 깊이 또는 노출되는 트렌치(200)의 상측 측벽의 폭이 500Å이라 하면, 실질적으로 게이트 전극(800)이 작용하는 활성 영역의 유효폭은 2000Å이 될 수 있다. 즉, 디자인 룰 대비, 활성 영역의 유효폭을 2배 확보하는 효과를 얻을 수 있다.
- <53> 상기한 바와 같이 활성 영역의 유효폭을 확보할 수 있으므로, 디자인 룰의 감소에 의한 문턱 전압 확보를 위해서 채널 농도를 매우 높게 하는 방법을 도입하지 않을 수 있다. 이에 따라, 채널 농도 증가에 따른 접합의 전장 증가 또는 결함 밀도 증가를 방지할 수 있어, DRAM의 리프레쉬 특성을 개선할 수 있다.
- <54> 도 7 및 8은 본 발명의 제2실시예에 의한 확장된 활성 영역의 유효폭을 가지는 반도체 장치 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.
- <55> 본 발명의 제2실시예에서는 트렌치(200)를 메우는 매몰막(500)을 형성하기 이전에, 버퍼층(510)과의 계면에 실리콘 질화막의 라이너(liner:550)를 도입하는 점이 제1실시예와 다르다. 제2실시예에서 제1실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.
- <56> 도 7은 버퍼층(510) 상에 라이너(550)를 형성하는 단계를 개략적으로 나타낸다.
- <57> 구체적으로, 트렌치(200)를 마스크(400)를 이용하는 선택적 식각으로 형성하고 버퍼층(510)을 형성한 다음에, 버퍼층(510) 상에 실리콘 질화막의 라이너(550)를 형성한다. 이와 같은 실리콘 질화막의 라이너(550)는 후속 열 산화 공정이나 어닐링(annealing) 공정 등에서 매몰막(500)에 의해서 발생하는 응력 등을 완화하여 반도체 기

판(100)에 발생할 수 있는 핏(pit) 등과 같은 결함의 생성을 억제하는 데 유용하다.

<58> 도 8은 라이너(550) 상에 소자 분리막(500') 및 게이트 전극(800)을 순차적으로 형성하는 단계를 나타낸다.

<59> 구체적으로, 실리콘 질화막의 라이너(550) 상에 매몰막(500)을 형성하고, 식각하여 소자 분리막(550')을 형성한 후, 게이트 절연막(700) 및 게이트 전극(800)을 형성한다. 이와 같은 본 발명의 제2실시예에서는 제1실시예에서 설명한 바와 같은 효과를 구현하며, 상술한 바와 같이 매몰막(500), 실질적으로는 소자 분리막(500')이 후속 공정으로부터의 영향을 받아 결함 등을 생성시키는 것을 더 방지할 수 있는 효과를 구현할 수 있다.

<60> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<61> 상술한 본 발명에 따르면, 디자인 룰의 감소에도 불구하고 활성 영역의 유효폭을 증대시킬 수 있어 셀 트랜지스터의 전류 구동력을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 반도체 기판을 선택적으로 식각하여 형성된 트렌치;

상기 트렌치를 일부 매워 상기 트렌치의 상측 측벽 부분을 노출하는 소자 분리막;

상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 상에 형성된 게이트 절연막; 및

상기 게이트 절연막 상에 형성된 게이트 전극을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 소자 분리막과 상기 트렌치의 바닥면 및 측벽면과의 계면에 버퍼층을 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제1항에 있어서, 상기 버퍼층과 상기 소자 분리막의 계면에 실리콘 질화막의 라이너를 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 소자 분리막은

상기 반도체 기판의 상측 표면에 비해 낮은 표면 높이를 가지는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제1항에 있어서, 상기 노출되는 트렌치의 상측 측벽 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 아래 내측에 형성되는 문턱 전압 조절용 불순물층을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제1항에 있어서, 상기 게이트 전극은

상기 게이트 절연막을 개재하여 상기 트렌치의 상측 측벽을 덮고 상기 소자 분리막 상으로 연장되는 것을 특징으로 하는 반도체 장치.

【청구항 7】

반도체 기판을 선택적으로 식각하여 트렌치를 형성하는 단계;

상기 트렌치를 일부 메워 상기 트렌치의 상측 측벽 부분을 노출하는 소자 분리막을 형성하는 단계;

상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 상에 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 8】

제7항에 있어서, 상기 소자 분리막과 상기 트렌치의 바닥면 및 측벽면과의 계면에 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 9】

제8항에 있어서, 상기 버퍼층과 상기 소자 분리막의 계면에 실리콘 질화막의 라이너를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 10】

제7항에 있어서, 상기 소자 분리막은

상기 반도체 기판의 상측 표면에 비해 낮은 표면 높이를 가지도록 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 11】

제7항에 있어서, 상기 소자 분리막을 형성하는 단계는

상기 트렌치를 메우는 매몰막을 형성하는 단계;

상기 트렌치의 상측 측벽을 노출하도록 상기 매몰막의 일부 두께를 식각하여 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 12】

제7항에 있어서, 상기 트렌치를 형성하는 단계는

상기 반도체 기판 상에 패드 산화막을 형성하는 단계;

상기 패드 산화막 상에 마스크를 형성하는 단계; 및

상기 마스크를 식각 마스크로 이용하여 상기 반도체 기판을 식각하는 단계를 포함하고,

상기 소자 분리막을 형성하는 단계는

상기 트렌치를 메우는 매몰막을 형성하는 단계;

상기 마스크의 상측 표면을 노출하도록 상기 매몰막을 화학 기계적 연마하는 단계;

상기 마스크에 의해 노출되는 상기 연마된 매몰막의 표면을 식각하는 단계;

상기 마스크를 제거하는 단계; 및

상기 마스크가 제거된 결과물의 상기 매몰막을 식각하여 상기 트렌치의 상측 측벽을 노출하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 13】

제7항에 있어서, 상기 게이트 절연막을 형성하는 단계 이전에

상기 노출되는 트렌치의 상측 측벽 부분 및 상기 트렌치에 인접하는 상기 반도체 기판의 상측 표면 내측에 문턱 전압 조절용 불순물층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 14】

제15항에 있어서, 상기 불순물층을 형성하는 단계는

경사 이온 주입 방법으로 불순물은 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

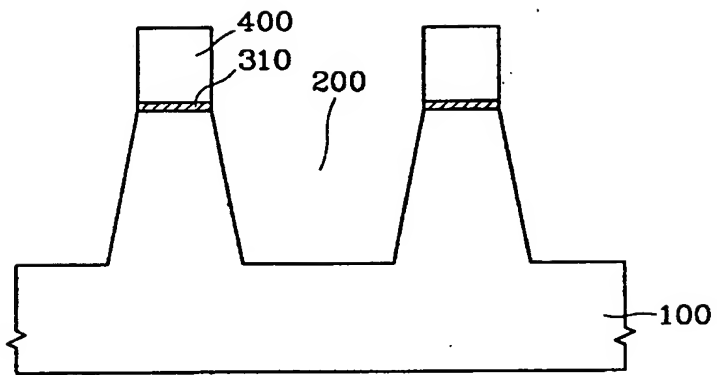
【청구항 15】

제7항에 있어서, 상기 게이트 전극은

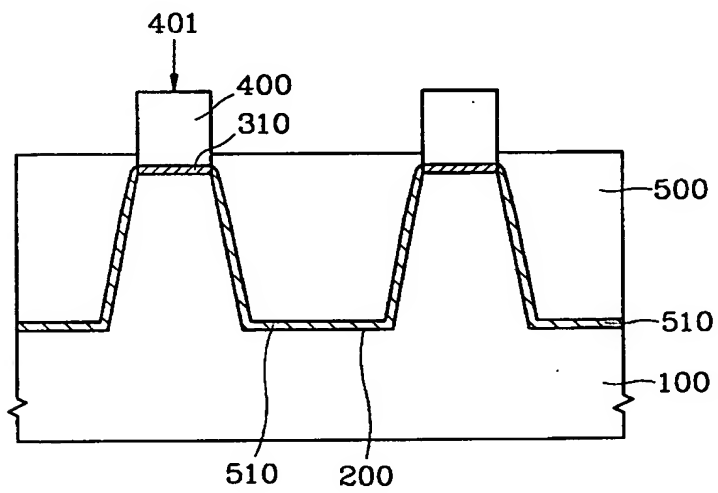
상기 게이트 절연막을 개재하여 상기 트렌치의 상측 측벽을 덮고 상기 소자 분리막 상으로 연장되게 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

【도면】

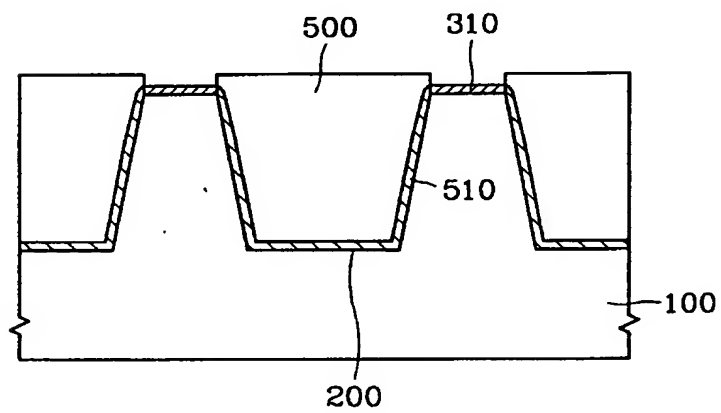
【도 1】



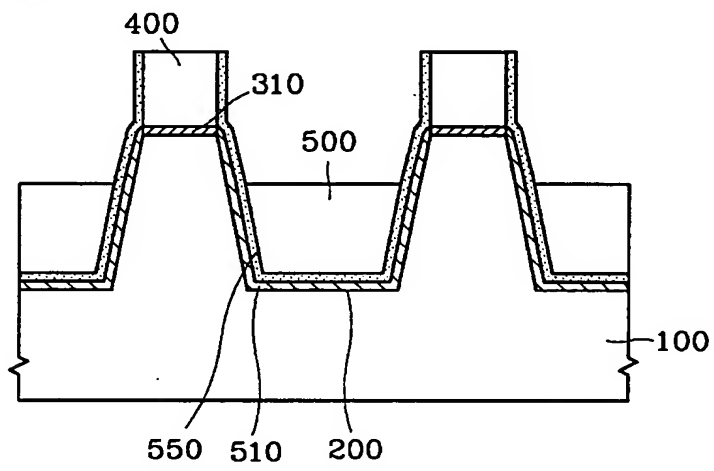
【도 2】



【도 3】



【도 7】



【도 8】

